

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186836

(43)Date of publication of application : 15.07.1997

(51)Int.Cl.

H04N 1/21

B41J 5/30

H04N 1/00

(21)Application number : 07-354029

(71)Applicant : RICOH CO LTD

(22)Date of filing : 27.12.1995

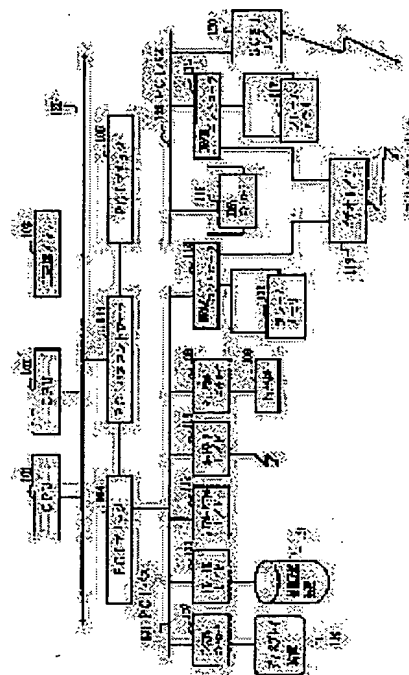
(72)Inventor : MAEHARA HIDEJIRO
AOYAMA TAKANARI

(54) DIGITAL COPYING MACHINE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high speed digital copying machine with abundant extending and flexibility performance.

SOLUTION: PCI buses 131, 132 being independent of conventional buses are connected to a CPU bus 130. Various I/O sections such as a display controller 107 are connected to the PCI bus 131 and DRAM controllers 115, 118 or the like controlling a frame memory 117 for storing image data are connected to the PCI bus 132. Furthermore, other frame memory 116 is provided to the PCI bus 132 and a DRAM controller 114 is connected to control it. The DRAM controllers 114, 115 are connected to a DMA controller 118, which expands image data of a succeeding page to a frame memory 116 while image data by one page are DMA-transferred from the frame memory 117 to a video interface 119.



LEGAL STATUS

[Date of request for examination]

11.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-186836

(43)公開日 平成9年(1997)7月15日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/21			H 0 4 N 1/21	
B 4 1 J 5/30			B 4 1 J 5/30	Z
H 0 4 N 1/00			H 0 4 N 1/00	E

審査請求 未請求 請求項の数 4 F D (全 7 頁)

(21)出願番号 特願平7-354029

(22)出願日 平成7年(1995)12月27日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 前原 秀次郎

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 青山 宇済

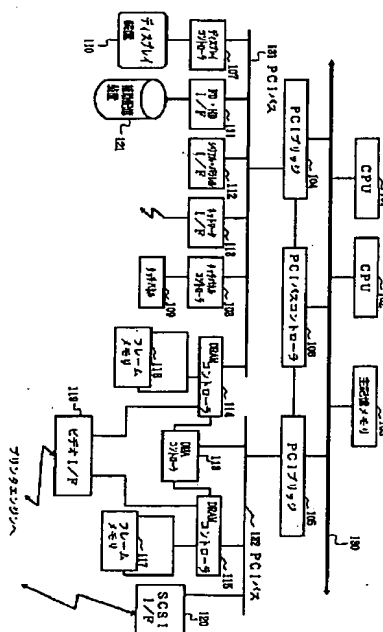
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(54)【発明の名称】 デジタル複写機

(57)【要約】

【課題】 拡張性や柔軟性に富み、高速なデジタル複写機を提供する。

【解決手段】 CPUバス130に、PCIバス131, 132を介して、相互に独立した汎用バスであるPCIバス131, 132を接続する。PCIバス131にはディスプレイコントローラ107等の各種I/O部を接続し、PCIバス132には画像データ蓄積用のフレームメモリ117を制御するDRAMコントローラ115やDMAコントローラ118等を接続する。さらにPCIバス132の側にも、他のフレームメモリ116を設け、これを制御するためのDRAMコントローラ114を接続する。DRAMコントローラ114, 115は、DMAコントローラ118に接続する。DMAコントローラ118は、フレームメモリ117からビデオインタフェース119に1ページ分の画像データをDMA転送する間に、フレームメモリ116上に次のページの画像データを展開していく。



2

【課題を解決するための手段】請求項1記載のデジタル複写機は、画像データを蓄積するフレームメモリを有し、このフレームメモリから画像データを読み出して出力

3

する画像出力部と、この画像出力部を接続する第1のバスと、他の所定の各種入出力処理を行う入出力部と、この入出力部を接続する第2のバスとを備え、前記第1のバスと前記第2のバスとを相互に独立した汎用バスで構成して前記目的を達成する。このデジタル複写機では、画像データをフレームメモリに一旦蓄積しこれを読み出して出力する処理と、他の必要な各種入出力処理とは、それぞれに設けられた汎用バスを介して行われる。

【0008】請求項2記載のデジタル複写機は、請求項1記載のデジタル複写機において、前記フレームメモリが、複数ページ分の画像データを蓄積可能であるとともに、前記第1のバスおよび前記第2のバスのいずれからもアクセス可能であり、前記画像出力部におけるフレームメモリ上への画像データ展開処理と、フレームメモリからの読み出し処理とが並列して行われるように構成したものである。このデジタル複写機では、第1のバスおよび第2のバスの双方からフレームメモリへのアクセスが行われ、画像出力部におけるフレームメモリ上への画像データ展開処理と、フレームメモリからの読み出し処理とが並列して行われる。

【0009】請求項3記載のデジタル複写機は、請求項1記載のデジタル複写機において、前記フレームメモリへのアクセスは、前記第1のバスおよび前記第2のバスのいずれか一方のみから行われるように構成したものである。このデジタル複写機では、フレームメモリへのアクセスは第1のバスおよび第2のバスの一方のみから行われるため、フレームメモリから外部（プリンタエンジン等）への出力処理中は、他方のバスは占有されておらず、他の入出力処理が可能となる。

【0010】請求項4記載のデジタル複写機は、請求項3記載のデジタル複写機において、前記入出力部がグラフィック画面を出力するための手段を含むように構成したものである。このデジタル複写機では、前記入出力部にグラフィック画面出力手段が含まれているとともに、フレームメモリへのアクセスは第1のバスおよび第2のバスの一方のみから行われるようになっているため、フレームメモリから外部（プリンタエンジン等）への出力処理中であっても、他方のバスは占有されておらず、グラフィック画面の同時（並列）出力が可能となる。

【0011】

【実施の形態】以下、図1および図2を参照して、本発明の好適な実施の形態を詳細に説明する。図1は、本発明の一実施の形態に係るデジタル複写機におけるコントロール系のブロック構成を表す図である。この装置は、システム全体を制御する2つのCPU101、102と、これらのCPUが実行すべきアプリケーションプログラムや必要なフォント情報等を記憶する主記憶メモリ103と、CPU101、102、および主記憶メモリ103間を相互接続するCPUバス130とを備えて

4

いる。

【0012】上記のアプリケーションプログラムや必要なフォント情報等は、後述する補助記憶装置121から読み出されて主記憶メモリ103にロードされるようになっている。CPUバス130は、PCIブリッジ104を介してPCIバス131と接続されるとともに、PCIブリッジ105を介してPCIバス132と接続されている。CPUバス130にはまた、PCIバスコントローラ106が接続されている。このPCIバスコントローラ106は、PCIブリッジ104によってサポートされるPCIバス131と、PCIブリッジ105によってサポートされるPCIバス132との間のアービトレーション（競合調停）やPCIバスプロトコルに対応した制御を行うようになっている。

【0013】PCIバス131には、ディスプレイ装置110を制御するためのディスプレイコントローラ107と、タッチパネル109を制御するためのタッチパネルコントローラ108と、フロッピーディスク装置やハードディスク装置等の補助記憶装置121を制御するためのFD・HDインターフェースコントローラ111と、ホストコンピュータ（図示せず）との間でシリアル通信やパラレル通信を制御するためのシリアル・パラレルインターフェースコントローラ112と、ローカルエリアネットワーク等との間の通信を制御するためのネットワークインターフェースコントローラ113とが接続されている。そして、タッチパネル109から入力された操作情報に基づいて、ディスプレイ装置110にシステムの状態情報やアプリケーションに対応した情報等が表示されるようになっている。

【0014】PCIバス131にはまた、フレームメモリ116に対するデータ書込・読出アドレスの生成やフレームメモリ117を構成するDRAMのリフレッシュ制御を行うためのDRAMコントローラ114が接続されている。一方、PCIバス132には、他のフレームメモリ117に対するデータ書込・読出アドレスの生成やフレームメモリ117を構成するDRAMのリフレッシュ制御を行うためのDRAMコントローラ115と、DMA転送制御用のDMAコントローラ118と、図示しないSCSIバスとの接続制御を行うSCSIインターフェース120とが接続されている。

【0015】DRAMコントローラ114はDMAコントローラ118とビデオインターフェース119とに接続され、同様にDRAMコントローラ115もまたDMAコントローラ118とビデオインターフェース119とに接続されている。そして、DMAコントローラ118は、フレームメモリ116に展開された画像データをDMA制御によりビデオインターフェース119に直接転送したり、あるいはフレームメモリ117に展開された画像データをDMA制御によりビデオインターフェース119に直接転送するようになっている。ビデオイン

5

ターフェース119に転送された画像データは、プリンタエンジン（図示せず）に出力されるようになってい

る。

【0016】次に、以上のような構成のデジタル複写機の動作を説明する。なお、ここでは、複数の原稿から読み取った複数ページ分の画像データを印刷出力するものとする。上位（ホスト）コンピュータからシリアル・パラレルインターフェースコントローラ112を介して入力され、あるいはネットワーク（図示せず）からネットワークインターフェースコントローラ113を介して入力された文字コードや制御コマンドは、CPU101（または102）によって解読され、例えばフレームメモリ117上に画像データ（ビットデータ）として展開される。1ページ分の画像データが展開されたところで、CPU101はDMAコントローラ118を起動し、フレームメモリ117上の1ページ分の画像データをビデオインターフェース119に転送する。これにより、その画像データがプリンタエンジン（図示せず）に出力され、描画（印刷）が行われる。

【0017】一方、CPU101は、フレームメモリ117上の1ページ分の画像データがビデオインターフェース119に転送されている間に、入力された文字コードや制御コマンドを解読し、次の1ページ分の画像データを他のフレームメモリ116上に展開する。このような同時処理は、2つのPCIバス131、132がCPUバス130に対して並列に接続されていることによって可能となるものである。そして、このようなフレームメモリからビデオインターフェースへの転送処理とフレームメモリへの展開処理とを並列に行うことにより、複数ページ分の画像データを高速に描画することが可能となる。

【0018】次に、本発明の他の実施の形態を説明する。図2は、本発明の他の実施の形態に係るデジタル複写機におけるコントローラ系のブロック構成を表す図である。この図で、上記実施の形態（図1）と同一構成要素には同一符号を付して適宜その説明は省略する。本実施の形態では、上記実施の形態（図1）においてPCIバス131の側に設けられたDRAMコントローラ114およびフレームメモリ116を削除し、PCIバス132の側にのみDRAMコントローラ115およびフレームメモリ117を設ける。その他の構成を図1と同様である。

【0019】この実施の形態に係るデジタル複写機では、例えば高速ネットワークを利用してプリンタシステムを構築する場合に、システム全体としてのパフォーマンスの低下を回避することができる。すなわち、上記の図1に示したシステムでは、例えばネットワーク等のI/O部分から主記憶メモリ103にデータを送ろうとした場合において、I/O部分が接続されたPCIバス131からフレームメモリ116へのアクセスが行われて

6

いてPCIバス131が使用中であったとすると、I/O部分から主記憶メモリ103へのデータ転送が待たされ、遅れることとなる。

【0020】これに対し、図2に示した構成のデジタル複写機では、フレームメモリを含む画像展開処理に係る部分は、PCIバス132の側にのみ存在し、フレームメモリ上への画像展開処理中、あるいはフレームメモリからプリンタエンジンへの画像データ転送処理中においても、これらの処理によって他のPCIバス131が占有されることがない。このため、プリンタエンジンによって描画をしている最中であっても、ネットワーク等のI/O部分から主記憶メモリ103へのデータ転送を高速に行うことができる。すなわち、高速ネットワークを利用してプリンタシステムを構築する場合に、システム全体としての十分な柔軟性と高い処理性能とを確保することができる。

【0021】また、このデジタル複写機では、2つの独立したPCIバス131、132をCPUバス130に対して並列に接続し、グラフィック処理に係る部分をプリンタの画像展開処理に係る部分から独立させるようにしたので、フレームメモリ117からビデオインターフェース119またはSCSIインターフェース120へのデータ転送中であっても、PCIバス131を介してディスプレイ装置110への高速グラフィック表示やネットワークインターフェースコントローラ113を介してのネットワークへの高速アクセスが可能となり、システム全体としての処理速度の低下を回避することができる。具体的には、1つのPCIバスで構成した場合と比べて約2倍の処理速度を得ることができる。

【0022】以上、いくつかの実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態に限定されるものではなく、その均等の範囲で種々変形可能である。例えば、CPUバス130に接続されるCPUは2個に限定されることはなく、単一あるいは3個以上であってもよい。

【0023】

【発明の効果】以上説明したように、本発明のデジタル複写機によれば、画像データをフレームメモリに一旦蓄積しこれを読み出して出力する処理と、他の必要な各種入出力処理とを、それぞれに設けられた汎用バスを介して独立して行うようにしたので、システムの柔軟性と拡張性を担保することができる。

【0024】特に、請求項2記載のデジタル複写機によれば、第1のバスおよび第2のバスの双方からフレームメモリにアクセスできるようにして、画像出力部におけるフレームメモリ上への画像データ展開処理とフレームメモリからの読み出し処理とを並列して行うようにしたので、複数ページの画像データのプリント出力を高速で行うことができる。

【0025】また、請求項3記載のデジタル複写機に

7

よれば、フレームメモリへのアクセスは第1のバスおよび第2のバス的一方のみから行われるようにしたので、フレームメモリから外部（プリンタエンジン等）への出力処理中であっても、他方のバスは画像データ転送によって占有されておらず、他の必要な入出力処理が可能となる。したがって、例えばプリント出力中であっても、ネットワークやハードディスク等に対する高速アクセスが可能となり、システム全体としての十分な柔軟性と高い処理性能とを確保することができる。

【0026】請求項4記載のデジタル複写機によれば、前記入出力部にグラフィック画面出力手段を含めるとともに、フレームメモリへのアクセスは第1のバスまたは第2のバス的一方のみから行われるようにしたので、フレームメモリから外部（プリンタエンジン等）へのプリント出力中であっても、他方のバスは占有されていない。したがって、プリント出力とグラフィック画面出力の同時（並列）処理が可能となってハードウェアへの負荷が軽くなり、画面表示の高速化が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るデジタル複写機におけるコントロール系の構成を表すブロック図である。

【図2】本発明の他の実施の形態に係るデジタル複写

8

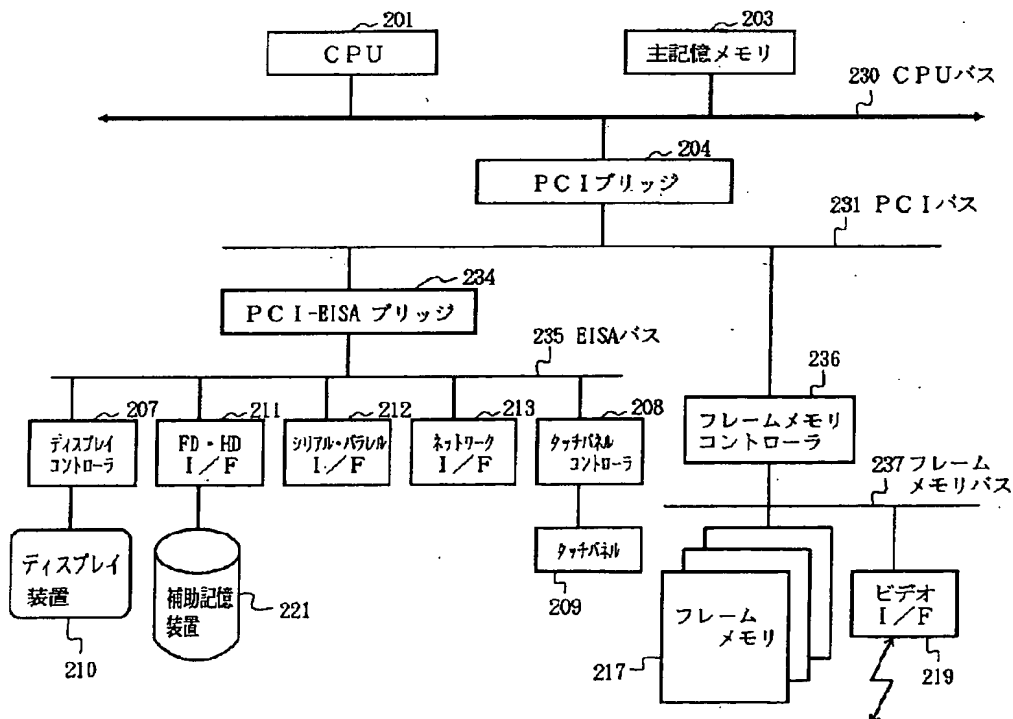
機におけるコントロール系の構成を表すブロック図である。

【図3】従来のデジタル複写機におけるコントロール系の構成を表すブロック図である。

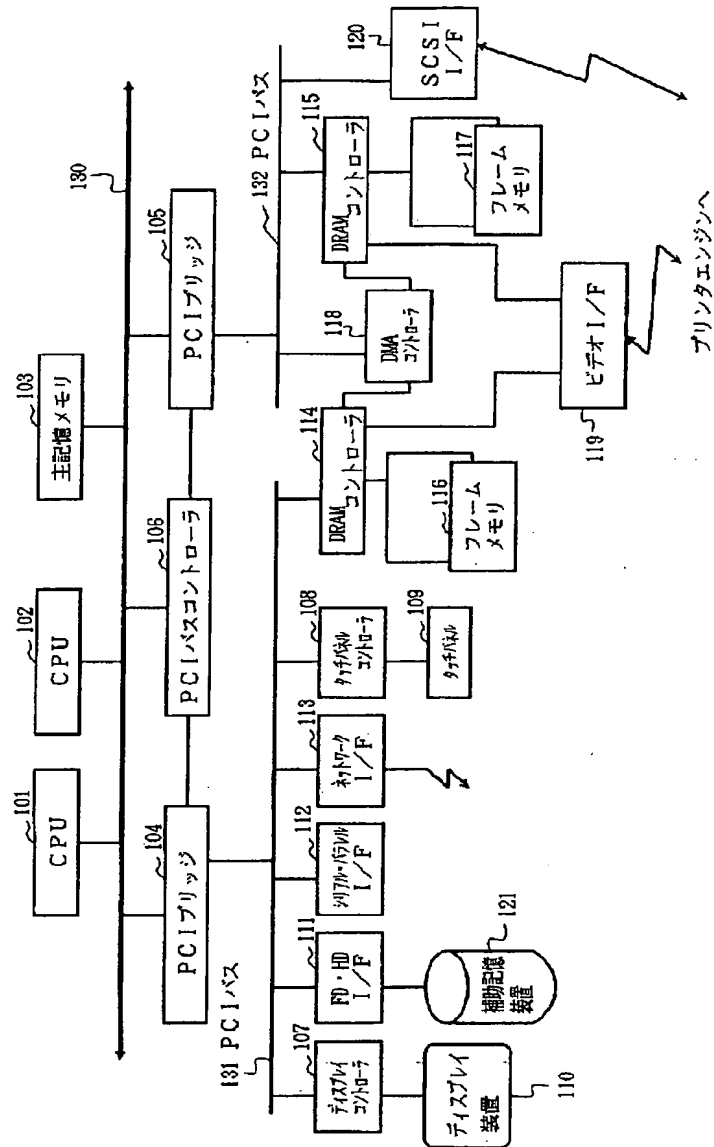
【符号の説明】

101, 102 CPU
103 主記憶メモリ
104, 105 PCIブリッジ
106 PCIバスコントローラ
107 ディスプレイコントローラ
110 ディスプレイ装置
111 FD・HDインターフェースコントローラ
112 シリアル・パラレルインターフェースコントローラ
113 ネットワークインターフェースコントローラ
114, 115 DRAMコントローラ
116, 117 フレームメモリ
118 DMAコントローラ
119 ビデオインターフェース
120 SCSIインターフェース
121 補助記憶装置
130 CPUバス
131, 132 PCIバス

【図3】



【図1】



【図2】

